



มหาวิทยาลัยกรุงเทพ

คณะวิศวกรรมศาสตร์

แผนการสอน

วิชา	อล. 323 : ปฏิบัติการระบบดิจิทัล 2	จำนวน	3 หน่วยกิต
	EL 323 : Digital System Laboratory II		
วิชา	อล. 324 : ปฏิบัติการระบบดิจิทัล 2	จำนวน	3 หน่วยกิต
	EL 324 : Digital System Laboratory II		
ภาคการศึกษาที่	2/2556	ชั้นปีที่	3

อาจารย์ผู้บรรยาย

อาจารย์สุรเชษฐ์ โทวารากา

E-mail: surachad.t@bu.ac.th

ดร.วิศาล พัฒน์ชู

E-mail: wisarn.p@bu.ac.th

อาจารย์ชนินทร์ สุนทรระกูล

E-mail: shanin.h@bu.ac.th

Section 3611

วันศุกร์

เวลา 12.40 – 15.40

ห้อง RB4404

Section 3631

วันศุกร์

เวลา 12.40 – 15.40

ห้อง RB4404

Section 3632

วันเสาร์

เวลา 12.40 – 15.40

ห้อง RB4404

เนื้อหารายวิชา

ออกแบบวงจรดิจิทัล ระดับรีจิสเตอร์ การออกแบบสเตตมาชีน การควบคุมวงจรถติจิทัล ด้วยวีธีฮาร์ดไวร์และไมโครโปรแกรม การออกแบบวงจรถติจิทัล ด้วยอุปกรณ์พีแอลดีและเอชดีแอล การเขียนโปรแกรมวีเอชดีแอลและการจำลองการทำงาน โครงสร้างของคอมพิวเตอร์เบื้องต้น การออกแบบซีพียู ซึ่งประกอบด้วย แอลยู รีจิสเตอร์และหน่วยควบคุม ด้วยโปรแกรมวีเอชดีแอล การเชื่อมโยงระบบกับอุปกรณ์รอบนอก การใช้แคตในการออกแบบวงจรถติจิทัล

หนังสือตำรา/เอกสาร

- S.Brown and Z.Vranesic. “Fundamental of Digital Logic with VHDL Design” McGraw-Hill

สื่อการสอนเพิ่มเติม

- Digital logic laboratory exercises by Altera University Program ,

http://www.altera.com/education/univ/materials/digital_logic/unv-overview.html

หลักเกณฑ์การให้คะแนน

- การเข้าเรียน 10%
- รายงาน 20%
- การบ้าน 20%
- โครงการงาน 20%
 - ✓ เน้นความคิดสร้างสรรค์ ออกนอกกรอบ 5 คะแนน
 - ✓ สามารถใช้งานได้จริง 5 คะแนน
 - ✓ การทำงานสำเร็จเรียบร้อย 10 คะแนน
- สอบปลายภาค (Final Exam) 30%

รวม

100%

เนื้อหาการสอนวิชา Digital System Laboratory II

สัปดาห์ที่	ว/ด/ป	หัวข้อการสอน	กิจกรรมการเรียนการสอน
1	24-25 ม.ค. 57	An Introduction to DE-0 and Quatrus II	
2	31 ม.ค.-1 ก.พ. 57	LAB 1 : An Introduction to DE-0 and Quatrus II - Overview of DE-0 and Quatrus II	Send Team Member Names
3	7-8 ก.พ. 57	LAB 2 : Design Using VHDL - VHDL of Multiplexer , 7-segment , Waveform	
4	14-15 ก.พ. 57	LAB 3 : Behavioral and Dataflow - Behavioral and Dataflow, 7-segment, Waveform	Submit Project Topic <u>หยุด 14 ก.พ.</u> <u>ชดเชย 10-13 ก.พ.</u>
5	21-22 ก.พ. 57	LAB 4 : Conditional statement - VHDL of Conditional statement , Adder with 7-segment, Waveform	
6	28 ก.พ. -1 มี.ค. 57	LAB 5 : LATCH and FLIPFLOP - D latch and D Flip-flop	

7	7-8 มี.ค. 57	LAB 6 : Sequential Design and Hierarchy - Sequential Design and Hierarchy	
8	สอบกลางภาค (10 - 15 มี.ค. 57)		
9	21-22 มี.ค. 57	LAB 7 : ALU with FPGA - 8 bit arithmetic logic unit, Modemsim	
10	28-29 มี.ค. 57	LAB 8 : Register Transfer Logic (RTL) and Bus - Register Transfer logic and Bus with ALU, Modemsim	Progress Report Project
11	4-5 เม.ย. 57	LAB 9 : Simple Processor - Simple Processor without control circuit, Modemsim	
12	18-19 เม.ย. 57	LAB 10 : Complete Processor	
13	25-26 เม.ย. 57	LAB 11 : Processor - Swap	
14	2-3 พ.ค. 57	Classes compensate, Project Presentation	
15	9-10 พ.ค. 57	Final Exam	
16	สอบปลายภาค (1 - 9 พ.ค. 57)		

ข้อตกลงในการเข้าเรียนวิชานี้

- นักศึกษาต้องแต่งกายให้ถูกต้องตามระเบียบของมหาวิทยาลัย ห้ามสวมเสื้อยืด เสื้อซิป เสื้อโปโลและรองเท้าแตะ โดยเด็ดขาดมิฉะนั้นจะไม่อนุญาตให้นักศึกษาเข้าเรียนและเช็คชื่อ
- การเข้าห้องเรียนสายเกินกว่า 15 นาที ถือว่า “ สาย ” จะถูกตัดคะแนนเข้าเรียน และถ้าเข้าห้องสายหลังจากบรรยายจบแล้วคะแนนปฏิบัติงานจะถูกลดลงครึ่งหนึ่ง
- การมาเรียน “ สาย ” 2 ครั้ง ถือเป็นการ “ ขาดเรียน ” 1 ครั้ง- นักศึกษาจะต้องมีเวลาเรียนไม่ต่ำกว่า 80 % (ไม่น้อยกว่า 11 ครั้งของเวลาเรียนทั้งหมด) จึงจะมีสิทธิ์สอบขาดเรียนได้ไม่เกิน 3 ครั้ง
- การทดลองแต่ละครั้งให้นักศึกษาส่งให้อาจารย์ผู้สอนตรวจและให้คะแนนหลังจากทำการทดลอง วิเคราะห์ และสรุปผลการทดลองเสร็จทุกครั้งภายในเวลาเรียนสำหรับนักศึกษาที่ไม่สามารถส่งผลการทดลองได้ภายในเวลาเรียนจะถูกตัดคะแนนลดลงครึ่งหนึ่ง
- กรณีนักศึกษาขาดทำการทดลองให้นักศึกษาวางแผนการซ่อมการทดลองที่ขาดไปตามเนื้อหาการสอนตามตารางในหน้าถัดไป โดยที่จะอนุญาตให้ซ่อมการทดลองที่ขาดไปก่อนสอบปลายภาคได้ 1 การทดลองเท่านั้น